

Japanese Patent application Laid-Open No. 9-146840

[ABSTRACT OF THE DISCLOSURE]

[PROBLEM]

In a multiprocessor system where a plurality of processors having a cache memory and a memory controller are connected to each other through a common bus, to perform a main memory access efficiently and realize data transfer at a high speed.

[SOLVING MEANS]

When a read request is issued from a processor 1 to a main memory 10, the address of request data is set in a reception buffer 4. Simultaneously, a data prefetch function switching section 8 performs switching between data reading-out from the main memory 10 specified by the address of the reception buffer 4 through a reception control section 9 and suppression thereof on the basis of accumulation of the past cache check results. A determination section 6 determines a place of the latest data from report of the cache check results from each processor.

WHAT IS CLAIMED IS

1. A multiprocessor system comprising a plurality of processors, a cache memory for temporarily storing data, which is provided for each processor, a main memory for storing data, a memory control device for controlling access from each processor to the main memory, and a bus for connecting each processor and the memory control device to each other commonly, wherein

the memory control device comprises

checking means for, when cache miss where data to be read out by one processor is not saved in the cache memory of the processor occurs and a read request is issued from the processor, checking whether the data to be read out by the one processor exists in the cache memory of another processor or the main memory;

pre-reading means for, when the read request is issued from the one processor, issuing a read request to the main memory without waiting for the check result obtained by the checking means to perform pre-reading of data to be read out from the main memory; and

means for, when the data to be read out by the one processor exists in the cache memory of the another processor as the check result of the checking means, performing control so as to transfer the data to be read out by the one processor from the cache memory of the another processor to the one processor, and for, when the data to be read out by the one processor does not exist in the another processor, performing control so as to transfer the data which has been pre-read from the main memory to the one processor, characterized by comprising summing means for accumulating the check results obtained by the checking means to sum the frequency of existence of data to be read out in the main memory, and

pre-reading suppressing means for, when the frequency is less than a predetermined value, suppressing execution of the pre-reading of the pre-reading means.

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09146840 A**(43) Date of publication of application: **06.06.97**

(51) Int. Cl.

G06F 12/08
G06F 12/08
G06F 15/163

(21) Application number: **07300035**(22) Date of filing: **17.11.95**(71) Applicant: **HITACHI LTD**

(72) Inventor: **SATO AYUMI**
FUKUNAKA HIDETADA

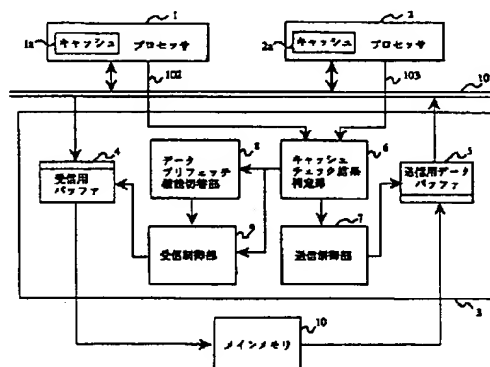
(54) **MULTIPROCESSOR SYSTEM**

(57) Abstract:

PROBLEM TO BE SOLVED: To have efficient access to a main memory and enable fast data transmission at high speed in the multiprocessor system constituted by connecting plural processors equipped with cache memories and a memory controller by a common bus.

SOLUTION: When a processor 1 issues a request to read the main memory 10, the address of request data is set in a buffer 4 for reception. At the same time, a data prefetch function switching part 8 performs switching between the execution and inhibition of read of data from the main memory 10 specified with the address in the receiving buffer 4 through a reception control part 9 according to the total of past cache check results. A decision part 6 decides the place of the latest data from cache check result reports from the respective processors.

COPYRIGHT: (C)1997,JPO



(10)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-146840

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/08	3 1 0	7623-5B	G 0 6 F 12/08	3 1 0 B
		7623-5B		H
		7623-5B		P
15/163			15/16	3 2 0 K

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21)出願番号 特願平7-300035

(22)出願日 平成7年(1995)11月17日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 佐藤 歩

神奈川県海老名市下今泉810番地 株式会

社日立製作所オフィスシステム事業部内

(72)発明者 福中 秀忠

神奈川県海老名市下今泉810番地 株式会

社日立製作所オフィスシステム事業部内

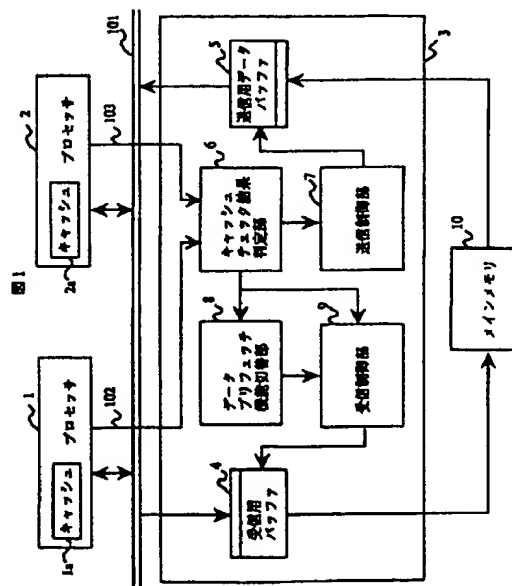
(74)代理人 弁理士 富田 和子

(54)【発明の名称】 マルチプロセッサシステム

(57)【要約】

【課題】 キャッシュメモリを備えた複数のプロセッサと、メモリコントローラとを共通のバスで接続して構成されたマルチプロセッサシステムにおいて、効率の良いメインメモリアクセスを行い、高速なデータ伝送を実現する。

【解決手段】 プロセッサ1からメインメモリ10へのリードリクエストが発行されると、受信用バッファ4に要求データのアドレスがセットされる。同時に、データプリフェッチ機能切替部8は、過去のキャッシュチェック結果の累計により、受信制御部9を通して受信用バッファ4のアドレスで指定されるメインメモリ10からデータの読み出しの実行、抑止の切り替えを行う。判定部6は各プロセッサからのキャッシュチェック結果報告から最新データの場所を判定する。



【特許請求の範囲】

【請求項1】複数のプロセッサと、各プロセッサ毎に設けられデータを一時保持するキャッシュメモリと、データを記憶するメインメモリと、該メインメモリに対するプロセッサからのアクセスを制御するメモリ制御装置と、前記各プロセッサと前記メモリ制御装置とを共通に接続するバスとを有し、

前記メモリ制御装置は、

プロセッサが読みだしたいデータが当該プロセッサのキャッシュメモリに保持されていないキャッシュミスが発生し、当該プロセッサからリードリクエストが発行されたとき、当該プロセッサが読みだしたいデータが他のプロセッサのキャッシュに存在するかメインメモリに存在するかをチェックするチェック手段と、

前記プロセッサからリードリクエストが発行されたとき、前記チェック手段によるチェック結果を待たずに、前記メインメモリに対してリードリクエストを発行して該メインメモリから読みだしたいデータの先読みを実行する先読み手段と、

前記チェック手段によるチェックの結果、前記プロセッサが読みだしたいデータが他のプロセッサのキャッシュに存在する場合には、該他のプロセッサのキャッシュから前記プロセッサが読みだしたいデータを前記プロセッサに転送するように制御し、前記プロセッサが読みだしたいデータが他のプロセッサのキャッシュに存在しない場合には、前記メインメモリから先読みしたデータを前記プロセッサに転送するように制御する手段と、

を有するマルチプロセッサシステムであって、

前記チェック手段によりチェックした結果を累計し、読みだしたいデータがメインメモリに存在した頻度を累計する累計手段と、

前記頻度が所定の値未満である場合に、前記先読み手段の前記先読みの実行を抑止する先読み抑止手段と、

を有することを特徴とするマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のプロセッサからなるマルチプロセッサシステムに関し、特にプロセッサとメインメモリとの間にコントローラを備えた場合に、メインメモリへのアクセスで高速なデータ転送を行なうマルチプロセッサシステムに関する。

【0002】

【従来の技術】情報処理装置においては、一般にメモリアクセスを高速に行うために、小容量、高速アクセスのキャッシュメモリを備えている。このキャッシュメモリは一定または任意の大きさのブロックに分割され、メインメモリのデータの一部を保持している。

【0003】マルチプロセッサを制御する一方式として、各プロセッサが共通バスに接続される方式がある。このマルチプロセッサシステムのキャッシュ制御の方法

としては、常にキャッシュメモリとメインメモリの内容を一致させておく方法と、キャッシュメモリに書き込まれたデータをすぐにはメインメモリに書き戻さず、そのデータが置き換えの対象となったときに、書き戻す方法がある。前者の場合はキャッシュ一致制御は必要ないが、後者の場合にはキャッシュメモリとメインメモリの内容が必ずしも一致していないので、マルチプロセッサシステムでは、メインメモリの内容と2台以上の複数のプロセッサのデータが異なっていると矛盾が生じる。このためキャッシュ一致制御が必要となる。

【0004】一般的には、キャッシュ内にそのデータがシステム内で最新のデータであることを示すタグを設け、一時期には唯一台のプロセッサしか最新のデータを持っていないようにキャッシュ一致を行う。すなわち、自分が最新のデータを持っている場合はキャッシュ内のデータを使う。データを持っていないか最新でない場合は、他のプロセッサかメインメモリにあるデータが最新であるので、それを自分のキャッシュに入れ、最新のデータであることを示すタグを付けるなどすればよい。

【0005】共通バスを利用したシステムでは、各プロセッサが他のプロセッサのメインメモリへのリクエスト要求をスヌープすることで、このキャッシュ一致制御を行う。すなわち、メインメモリにデータ要求のリクエストが出た場合に、各プロセッサは自分のキャッシュのチェックを行ない、最新のデータを持っているプロセッサはそのデータをバス上に出力し、キャッシュ内のタグをリセットする。一方、リクエストを出したプロセッサはこのデータを取り込み、タグをリセットする。さらに、メモリコントローラにより同時にメインメモリの内容も更新される。また、最新のデータがメインメモリにあるような場合には、メモリコントローラはメインメモリに対してリードリクエストを発行し、このデータをプロセッサに転送する。

【0006】このように、共通バスを利用した方式においては、あるプロセッサのキャッシュメモリの内容を他プロセッサへ転送するため、またはプロセッサとメインメモリとの間でデータを送受信するため等により、共通バスの占有が生じ、その頻度によってはシステム全体の処理能力を低下させる欠点があった。このような欠点を解決するための従来技術として、1対1のプロセッサ間における個別的なデータ転送または1対複数のプロセッサ間におけるデータ転送が可能になるように、共通バスをコントロールするバスコントローラを備えたマルチプロセッサシステムのデータ転送方式がある（例えば、特開昭56-44954号公報を参照）。

【0007】しかし、上記した方式は、特に1つのプロセッサから複数のプロセッサに一斉に同じデータを転送する場合においては共通バスの占有時間の短縮には効果があるものの、メインメモリのアクセス時間に対してはあまり寄与することができない。このためマルチプロセ

ッサシステム全体の処理能力向上のためにはメインメモリへのアクセス時間を有効に用いることが重要な課題となっている。

【0008】

【発明が解決しようとする課題】 前述したように、メインメモリへのアクセス時間を有効に用いるため、従来の方式ではプロセッサのリクエストがメインメモリからのリードリクエストである場合、メモリコントローラは各プロセッサのキャッシュチェックの結果を待たずに、メインメモリに対してリードリクエストを出してデータの先読み（プリフェッチ）を行っている。これは、各プロセッサのキャッシュチェックの結果、最新のデータがメインメモリにあることが判明した時点でメインメモリに対してリードリクエストを出す場合に比べて素早いレスポンスを得ることができ、高速にデータを転送することが出来るからである。しかし最新のデータが他のプロセッサにある場合、このプリフェッチは無駄になってしまう。さらにプリフェッチによるメインメモリへのアクセスにより、他からのメインメモリアクセスを遅らせてしまうという問題がある。

【0009】 本発明の目的は、メモリコントローラ内にメインメモリのデータプリフェッチの抑止、実行を切り替える機能を設けることにより、データプリフェッチの機能を有効に生かしつつ、その弊害となっているメインメモリアクセスの遅延を解消し、高速なメインメモリアクセスを可能とするマルチプロセッサ装置を提供することである。

【0010】

【課題を解決するための手段】 前記目的を達成するために、本発明によれば、複数のプロセッサと、各プロセッサ毎に設けられデータを一時保持するキャッシュメモリと、データを記憶するメインメモリと、該メインメモリに対するプロセッサからのアクセスを制御するメモリ制御装置とを備え、前記各プロセッサと前記メモリ制御装置とを共通のバスで接続して構成されたマルチプロセッサシステムにおいて、前記メモリ制御装置は、各プロセッサに当該プロセッサが読みだしたいデータが当該プロセッサのキャッシュメモリに保持されていないキャッシュミスが発生し、当該プロセッサからリードリクエストが発行されたとき、当該プロセッサが読みだしたいデータが他のプロセッサのキャッシュに存在するかメインメモリに存在するかをチェックするチェック手段と、該チェック手段によりチェックした結果を累計し、読みだしたいデータがメインメモリに存在した頻度を集計する集計手段と、前記プロセッサからリードリクエストが発行されたとき、前記頻度が所定の値以上である場合に、前記チェック手段によるチェック結果を待たずに、前記メインメモリに対してリードリクエストを発行して該メインメモリから読みだしたいデータの先読みを実行する切り替え制御手段と、前記チェック手段によるチェックの

結果、前記プロセッサが読みだしたいデータが他のプロセッサのキャッシュに存在する場合には、該他のプロセッサのキャッシュから前記プロセッサが読みだしたいデータを前記プロセッサに転送するように制御し、前記プロセッサが読みだしたいデータが他のプロセッサのキャッシュに存在しない場合には、前記メインメモリから先読みしたデータを前記プロセッサに転送するように制御する手段と、を有することができる。

【0011】

10 【発明の実施の形態】 各プロセッサと共通のバスで接続されたメモリコントローラ内に、プロセッサからメインメモリにリードリクエストが発行されたときに、メインメモリが最新のデータを持っているか否かを過去の頻度から判定し、メインメモリからデータのプリフェッチの抑止、実行の切り替えを制御する機能を設ける。この切り替え機能によって、無駄のないメインメモリアクセスが行われ、メインメモリアクセスの高速化が図られる。また、これによりシステムの資源を効率良く利用でき、その処理能力を最大限に発揮することができる。

20 【0012】 以下、本発明の実施の形態を図面を用いて具体的に説明する。

【0013】 図1は、本発明の実施の形態の構成図である。この構成図においては、2台のプロセッサと共通のバスで接続されたメモリコントローラとメインメモリからなるマルチプロセッサシステムの構成を示す。

【0014】 図1において、1、2はそれぞれキャッシュメモリ1a、2aを備えたプロセッサであり、10はメインメモリである。3はプロセッサ1、2とメインメモリ10との間でデータのコントロールを行なうメモリコントローラ（メモリ制御装置）である。4は受信用バッファであり、5はメインメモリからのデータをプロセッサに送信するための送信用データバッファである。101はアドレス/データバス、102、103はそれぞれプロセッサ1、2のキャッシュチェック結果報告のための伝送路である。

【0015】 6はプロセッサ1及び2のキャッシュチェック結果の報告を受けて、最新データの場所を判定する判定部であり、この判定結果により送信用制御部8を通して送信用データバッファ5を制御しメインメモリ10のデータをプロセッサに転送するか、しないかの制御を行う。

【0016】 8は判定部6での過去の判定結果を累計し、その結果から最新データがメインメモリに存在した頻度を計算し、その頻度により、受信制御部9を通して受信用バッファ4を制御しメインメモリ10のデータプリフェッチを行うか、行わないかを切り替えるデータプリフェッチ機能切替部である。

【0017】 図2に、本発明のリードリクエスト処理のフローチャートを示す。以下に、図1、2を参照しながら本発明の処理動作を説明する。

【0018】プロセッサ1からメインメモリ10へのリードリクエストが発行されると、受信バッファ4に要求データのアドレスがセットされる（ステップ201）。同時に、データプリフェッチ機能切替部8は、過去のキャッシュチェック結果の累計により、データプリフェッチを実行するか抑止するかの切り替えを行う（ステップ202）。データプリフェッチを行う場合には、受信制御部9を通して該受信バッファ4のアドレスで指定されるメインメモリ10からデータを読み込み（ステップ203）、送信用データバッファ5にセットする（ステップ207）。この間に、各プロセッサからのキャッシュチェック結果報告が判定部6に集められる（ステップ204）。キャッシュチェック結果報告がそろると判定部6は最新データの場所を判定する（ステップ205）。最新データが他プロセッサ2にある場合には、他プロセッサ2がプロセッサ1の要求データをアドレス／データバス101に出力してデータの転送を行う（ステップ206）。この時、送信制御部7はデータプリフェッチにより送信用データバッファ5にセットされているデータを廃棄する。他プロセッサ2が最新データを持っていない場合には、送信制御部7は送信用データバッファ5にセットされているデータをアドレス／データバス101を介してプロセッサ1に転送する（ステップ208）。

【0019】データプリフェッチを行わない場合には、各プロセッサからのキャッシュチェック結果報告により判定部6が最新データの場所を判定するまで、受信制御部9は受信バッファ4からメインメモリ10へのデータの読み出しを抑止する（ステップ205）。その後、最新データの場所が判明して最新データが他プロセッサ2にある場合には、他プロセッサ2がプロセッサ1の要求データをアドレス／データバス101に出力してデータの転送を行う（ステップ206）。他プロセッサ2が最新データを持っていない場合には、受信制御部9は受信バッファ4からメインメモリ10へのデータの読み出しを行って（ステップ203）送信用データバッファ5にセットし（ステップ207）、送信制御部7は送信用データバッファ5にセットされているデータをアドレス／データバス101を介してプロセッサ1に転送する（ステップ208）。

【0020】図3は、キャッシュミスによってプロセッサ1からリードリクエストが発行されたとき、データプリフェッチを行う場合に、プロセッサ2が最新のデータを持っていなかったときの転送動作のタイムチャートを示す。図1、3を参照しながら動作を説明する。

【0021】プロセッサ1がキャッシュ1aをアクセスしたところ、キャッシュ1aの中にデータが存在せず、キャッシュミスしたとする。このキャッシュミスにより、プロセッサ1はアドレス／データバス101にリードリクエストを発行すると共に、リードすべきアドレス

を送出する。このアドレスは受信バッファ4にセットされる。データプリフェッチ機能切替部8は、過去のキャッシュチェック結果の累計により、データプリフェッチを実行するか抑止するかの切り替えを行う。ここでは、データプリフェッチを行うので、受信制御部9から受信バッファ4を通して、メインメモリ10に対しデータの読み出しを行う。同時に判定部6は各プロセッサからのキャッシュチェック結果報告により最新データの場所を判定する。ここでは、プロセッサ2が最新のデータを持っていないので、メインメモリ10のデータの読み出しが終わり、送信用データバッファ5にデータがセットされたところで、送信制御部7は送信用データバッファ5のデータをアドレス／データバス101を介してプロセッサ1に送信する。

【0022】図4は、データプリフェッチを行わない場合に、キャッシュミスによってプロセッサ1からリードリクエストが発行され、プロセッサ2が最新のデータを持っているときの転送動作のタイムチャートを示す。図1、4を参照しながら動作を説明する。

【0023】プロセッサ1のキャッシュミスにより、プロセッサ1はアドレス／データバス101にリードリクエストを発行すると共に、リードすべきアドレスを送出する。このアドレスは受信バッファ4にセットされる。データプリフェッチ機能切替部8は、過去のキャッシュチェック結果の累計により、データプリフェッチを実行するか抑止するかの切り替えを行う。ここでは、データプリフェッチを行わないので、受信制御部9を通して受信バッファ4からメインメモリ10へのデータの読み出しを抑止する。同時に判定部6は各プロセッサからのキャッシュチェック結果報告により最新データの場所を判定する。ここでは、プロセッサ2が最新のデータを持っているので、プロセッサ2がプロセッサ1の要求データをアドレス／データバス101に出力してデータの転送を行う。

【0024】上記したように、本発明においては、メモリコントローラ3中にデータプリフェッチ機能切替部8を設けることにより、無駄のないメインメモリアクセスが行われ、メインメモリアクセスの高速化を図ることができる。

【0025】なお、上記した実施の形態は、プロセッサが2台で構成されたマルチプロセッサシステムの例であるが、プロセッサが3台以上のマルチプロセッサシステムにおいても、同様にキャッシュチェック結果報告を集計し、データプリフェッチ機能を切り替えることによりメインメモリアクセスの高速化を図ることができる。

【0026】

【発明の効果】以上、説明したように、本発明によれば、メモリコントローラ中にデータプリフェッチを切り替える機能を設けているので、無駄のないメインメモリアクセスが行われ、高速にメインメモリアクセスを行う

ことができる。また、これによりシステムの資源を効率良く利用でき、その処理能力を最大限に発揮することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の構成図である。

【図2】本発明のリードリクエスト処理のフローチャートを示す。

【図3】リードリクエスト発行時、データプリフェッチを行う場合に、プロセッサ2が最新のデータを持っていなかったときの転送動作のタイムチャートを示す。

【図4】リードリクエスト発行時、データプリフェッチを行わない場合に、プロセッサ2が最新のデータを持っているときの転送動作のタイムチャートを示す。

【符号の説明】

1、2 プロセッサ

1a、2a キャッシュメモリ

3 メモリコントローラ

4 受信用バッファ

5 送信用データバッファ

6 キャッシュチェック結果判定部

7 送信制御部

8 データプリフェッチ機能切替部

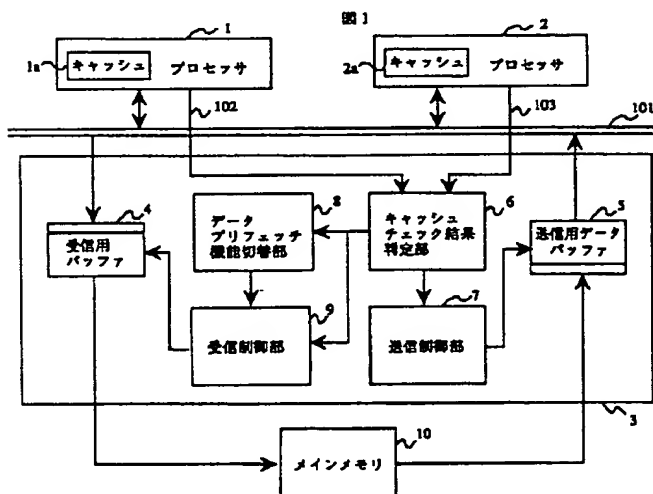
9 受信制御部

10 メインメモリ

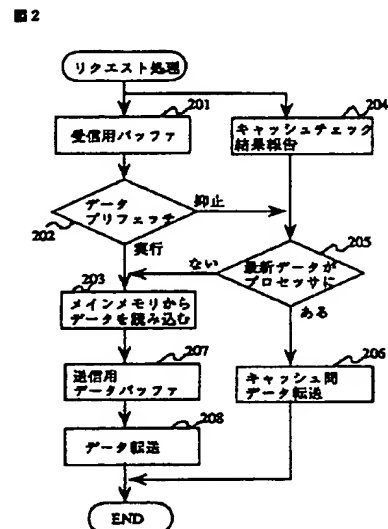
101 アドレス/データバス

102、103 キャッシュチェック結果報告のための伝送路

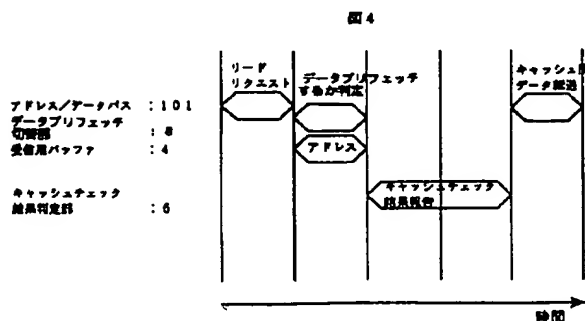
【図1】



【図2】



【図4】



【図3】

